

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275459

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H01G 4/12

H01G 4/12

C01G 25/02

C04B 35/46

C04B 35/49

H01B 3/12

(21)Application number : 05-086680

(71)Applicant : TDK CORP

(22)Date of filing : 22.03.1993

(72)Inventor : ARASHI TOMOHIRO

SATO AKIRA

NAKANO YUKIE

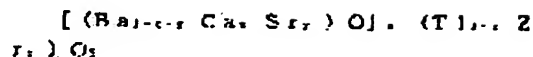
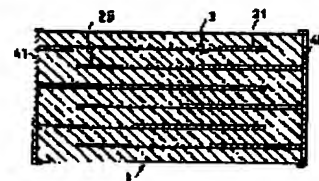
NOMURA TAKESHI

## (54) LAMINATED CERAMIC CHIP CAPACITOR

## (57)Abstract:

**PURPOSE:** To allow low temperature sintering while improving an acceleration life by laminating a dielectric material having a dielectric oxide of a specific composition as a main component while containing oxides of Mn, Y, V, W as sub-components and Al<sub>2</sub>O<sub>3</sub> as a sintering agent as well as an internal electrode material for performing simultaneous firing.

**CONSTITUTION:** In a lamination type chip capacitor 1, the internal electrodes 21, 25 and the dielectric layers 3 are by turns laminated while having a pair of external electrodes 41, 45 connected to the respective internal electrodes 21, 25. The internal electrodes 21, 25 are formed of Ni or an Ni alloy. The dielectric layer 3 contain a dielectric oxide of a composition expressed by the formula: [(Ba<sub>1-x-y</sub>Ca<sub>x</sub>Sr<sub>y</sub>)O]<sub>m</sub>(Ti<sub>1-z</sub>Zr<sub>2</sub>)O<sub>2</sub> (0≤x≤0.25, 0≤y≤0.05, 0.1≤z≤0.3, 1.000≤m≤1.020) as a main component while further containing oxides of Mn, Y, V, W as sub-components and Al<sub>2</sub>O<sub>3</sub> 0.005 to 0.3wt.% as a sintering agent.



## LEGAL STATUS

[Date of request for examination]

11.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3134024

[Date of registration]

24.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-275459

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 5 8			
	3 6 4			
C 0 1 G 25/02				
C 0 4 B 35/46		D		
35/49		Z		

審査請求 未請求 請求項の数 5 F D (全 9 頁) 最終頁に続く

(21)出願番号 特願平5-86690

(22)出願日 平成5年(1993)3月22日

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 嵐 友宏

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 佐藤 陽

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 中野 幸恵

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

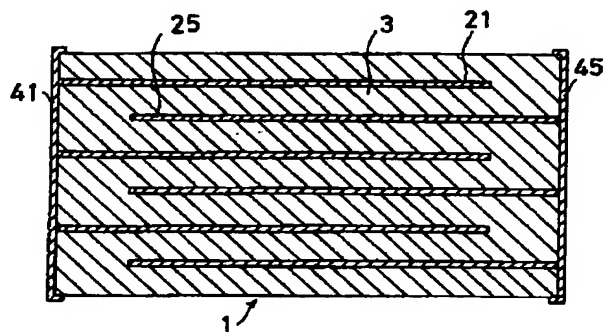
(74)代理人 弁理士 石井 陽一

最終頁に続く

(54)【発明の名称】 積層型セラミックチップコンデンサ

(57)【要約】

【目的】 低温焼成が可能で絶縁抵抗の加速寿命が向上された積層型セラミックチップコンデンサを提供する。

【構成】 内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、下記式で表される組成の誘電体酸化物を主成分とし、副成分として、Mn、Y、V、Wの酸化物および焼結助剤としての $Al_2O_3$ を含有した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して焼成したものであることを特徴とする積層型セラミックチップコンデンサ。式  $[(Ba_{1-x}Ca_ySr_y)O] \cdot (Ti_{1-z}Zr_z)O_2$ {上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ である。

## 【特許請求の範囲】

【請求項1】 内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、

下記式で表される組成の誘電体酸化物を主成分とし、副成分として、Mnの酸化物および／または焼成により酸化物になる化合物を酸化物(MnO)換算で0.01～0.5重量%、Yの酸化物および／または焼成により酸化物になる化合物を酸化物(Y<sub>2</sub>O<sub>3</sub>)換算で0.05～0.5重量%、Vの酸化物および／または焼成により酸化物になる化合物を酸化物(V<sub>2</sub>O<sub>5</sub>)換算で0.005～0.3重量%、Wの酸化物および／または焼成により酸化物になる化合物を酸化物(WO<sub>3</sub>)換算で0.005～0.3重量%、および焼結助剤としてのAl<sub>2</sub>O<sub>3</sub>を0.005～0.5重量%含有した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して同時焼成したものであることを特徴とする積層型セラミックチップコンデンサ。

式  $[(Ba_{1-x}Ca_xSr_y)O] \cdot (Ti_{1-z}Zr_z)O_2$

【上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.0000 \leq m \leq 1.0200$ である。

【請求項2】 Al<sub>2</sub>O<sub>3</sub>の含有量が、0.01～0.30重量%以下である請求項1の積層型セラミックチップコンデンサ。

【請求項3】 誘電体材料に、更にEuおよびMoの少なくとも1種の酸化物および／または焼成により酸化物になる化合物を、酸化物換算で、0.3重量%以下添加した請求項1の積層型セラミックチップコンデンサ。

【請求項4】 前記誘電体層はグレインと粒界相で構成され、前記誘電体層の断面での粒界相の面積比が2%以下である請求項1ないし3のいずれかの積層型セラミックチップコンデンサ。

【請求項5】 前記粒界相が、Mn、Y、VおよびWの酸化物を含有する酸化物相である請求項4の積層型セラミックチップコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、積層型セラミックチップコンデンサの特に誘電体層の改良に関するものである。

## 【0002】

【従来の技術】積層型セラミックチップコンデンサは通常、内部電極用のペーストと、誘電体層用のペーストとをシート法や印刷法等により積層し、一体同時焼成して製造される。

【0003】内部電極には一般に、PdやPd合金が用いられているが、Pdは高価であるため、比較的安価なNiやNi合金が使用されつつある。

【0004】ところで、内部電極をNiやNi合金で形

成する場合は、大気中で焼成を行うと電極が酸化してしまう。

【0005】このため、一般に、脱バインダ後は、NiとNiOの平衡酸素分圧よりも低い酸素分圧で焼成を行っている。

【0006】この場合、誘電体材料の緻密化を図るため、通常焼結助剤としてSiO<sub>2</sub>が加えられる。

【0007】また、誘電体層の還元による絶縁抵抗の低下等を防止するため、Mnの添加や、Ca置換等も行われている。

【0008】しかし、NiやNi合金製の内部電極を有する積層型チップコンデンサは、大気中で焼成して製造されるPd製の内部電極を有する積層型チップコンデンサにくらべ、絶縁抵抗の寿命が圧倒的に短く、信頼性が低いという問題があった。

【0009】ところがこの問題は、本発明者により提案されたある特定の組成を有する誘電体酸化物を含有し、Y、Gd、Tb、Dy、Zr、V、Mo、Zn、Cd、Tl、SnおよびPの酸化物および／または焼成により酸化物になる化合物から選ばれる1種以上を、特定量添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して焼成した積層型セラミックチップコンデンサにより、ほぼ解決することができた(特開平3-133116号公報)。

【0010】すなわち、このようにY等を添加すれば、従来の無添加のチップコンデンサにくらべ寿命が約2～10倍に増大し、ある程度優れた信頼性が得られることが分かった。

【0011】本発明の発明者らは、更に進めて、積層型セラミックチップコンデンサにおいて、上記Y等添加のものにくらべ更に寿命を向上させ、より一層信頼性を得、しかもこの高信頼性化により、10μm以下の薄層化を可能とするため、先の出願(特願平4-101788号)において、「内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、下記式で表される組成の誘電体酸化物を含有し、Mnの酸化物および／または焼成により酸化物になる化合物を酸化物(MnO)換算で0.01～0.5重量%、Yの酸化物および／または焼成により酸化物になる化合物を酸化物(Y<sub>2</sub>O<sub>3</sub>)換算で0.05～0.5重量%、Vの酸化物および／または焼成により酸化物になる化合物を酸化物(V<sub>2</sub>O<sub>5</sub>)換算で0.005～0.3重量%、Wの酸化物および／または焼成により酸化物になる化合物を酸化物(WO<sub>3</sub>)換算で0.005～0.3重量%添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して焼成したものであることを特徴とする積層型セラミックチップコンデンサ。

【0012】式  $[(Ba_{1-x}Ca_xSr_y)O] \cdot (Ti_{1-z}Zr_z)O_2$

【上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、

0.  $1 \leq z \leq 0.3$ ,  $1.000 \leq m \leq 1.020$ である。」を提案した。

【0013】上記のような組成の誘電体層を備える積層型セラミックチップコンデンサにおいては、 $1400^\circ\text{C}$ 未満では緻密化しないという問題があり、そこで従来は、焼結助剤として  $\text{SiO}_2$  を用いて上記磁器組成物の低温焼成を可能としていた。

【0014】

【発明が解決しようとする課題】しかしながら、従来のように焼結助剤として  $\text{SiO}_2$  を用いた場合には、絶縁抵抗の加速寿命が比較的短いという問題があった。

【0015】そこで、本発明は、低温焼成が可能で、しかも絶縁抵抗の加速寿命が向上された積層型セラミックチップコンデンサを提供することを目的とするものである。

【0016】

【課題を解決するための手段】

(1) 内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、下記式で表される組成の誘電体酸化物を主成分とし、副成分として、Mnの酸化物および／または焼成により酸化物になる化合物を酸化物(MnO)換算で0.01~0.5重量%、Yの酸化物および／または焼成により酸化物になる化合物を酸化物( $\text{Y}_2\text{O}_3$ )換算で0.05~0.5重量%、Vの酸化物および／または焼成により酸化物になる化合物を酸化物( $\text{V}_2\text{O}_5$ )換算で0.005~0.3重量%、Wの酸化物および／または焼成により酸化物になる化合物を酸化物( $\text{WO}_3$ )換算で0.005~0.3重量%、および焼結助剤としての  $\text{Al}_2\text{O}_3$  を0.005~0.5重量%含有した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して同時焼成したものであることを特徴とする積層型セラミックチップコンデンサ。

式  $[(\text{Ba}_{1-x}\text{Ca}_x\text{Sr}_y)\text{O}]_m \cdot (\text{Ti}_{1-z}\text{Zr}_z)_2\text{O}_2$

〔上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ である。〕

(2)  $\text{Al}_2\text{O}_3$  の含有量が、0.01~0.30重量%以下である上記(1)の積層型セラミックチップコンデンサ。

(3) 誘電体材料に、更にEuおよびMoの少なくとも1種の酸化物および／または焼成により酸化物になる化合物を、酸化物換算で、0.3重量%以下添加した上記(1)の積層型セラミックチップコンデンサ。

(4) 前記誘電体層はグレインと粒界相で構成され、前記誘電体層の断面での粒界相の面積比が2%以下である上記(1)ないし(3)のいずれかの積層型セラミックチップコンデンサ。

(5) 前記粒界相が、Mn、Y、VおよびWの酸化物を含有する酸化物相である上記(4)の積層型セラミック

チップコンデンサ。

【0017】

【発明の作用・効果】本発明においては、上記組成の誘電体層を有する積層型セラミックチップコンデンサの焼結助剤として  $\text{Al}_2\text{O}_3$  を用いたことにより、 $1250^\circ\text{C}$ ~ $1350^\circ\text{C}$ の低温で焼成することができるとともに、絶縁抵抗の加速寿命も30時間( $200^\circ\text{C}$ 、DC150V)以上に向上した。

【0018】

【具体的構成】以下、本発明の具体的構成を詳細に説明する。図1には、本発明の積層型セラミックチップコンデンサの好適例が示される。

【0019】積層型チップコンデンサ1は、内部電極21、25と、誘電体層3とが交互に積層され、各内部電極21、25に接続している1対の外部電極41、45を有するものである。

【0020】本発明では、内部電極21、25は、NiまたはNi合金から形成され、この場合、Ni合金としては、Niを95重量%以上含有するNiと、Mn、Cr、Co、Al等の1種以上との合金であることが好ましい。

【0021】これらは、本発明に従い、十分な寿命や信頼性を得ることができる。

【0022】なお、NiまたはNi合金中には、微量成分として、0.1重量%以下のP等が含有されていてもよい。

【0023】内部電極21、25の厚み等の諸条件は目的や用途に応じ適宜決定をすればよいが、通常厚みは、 $1 \sim 5 \mu\text{m}$ 、特に $2 \sim 3 \mu\text{m}$ 程度である。

【0024】誘電体層3は、グレインと粒界相で構成されている。

【0025】誘電体層3の材質は、下記式で表わされる組成の誘電体酸化物を含有するものである。この際、O量は、下記式の化学量論組成から若干偏倚してもよい。

【0026】式  $[(\text{Ba}_{1-x}\text{Ca}_x\text{Sr}_y)\text{O}]_m \cdot (\text{Ti}_{1-z}\text{Zr}_z)_2\text{O}_2$   
この場合、xは0~0.25、好ましくは0.05~0.10、yは0~0.05、好ましくは0~0.01、zは0.1~0.3、好ましくは0.15~0.20、mは1.000~1.020、好ましくは1.002~1.015である。

【0027】本発明ではさらに、副成分として、マンガンの酸化物および／または焼成により酸化物になる化合物を酸化物MnO換算で0.01~0.5重量%、好ましくは0.1~0.4重量%、より好ましくは0.2~0.4重量%、イットリウムの酸化物および／または焼成により酸化物になる化合物を酸化物 $\text{Y}_2\text{O}_3$ 換算で0.05~0.5重量%、好ましくは0.08~0.45重量%、より好ましくは0.2~0.4重量%、バナジウムの酸化物および／または焼成により酸化物になる化合物を酸化物 $\text{V}_2\text{O}_5$ 換算で0.005~0.5重量

%,好ましくは0.01~0.1重量%、タングステンの酸化物および/または焼成により酸化物になる化合物を酸化物WO<sub>3</sub>換算で0.005~0.3重量%、好ましくは0.01~0.2重量%、より好ましくは0.01~0.1重量%程度、更には、焼結助剤としてAl<sub>2</sub>O<sub>3</sub>を0.005~0.5重量%含有する。

【0028】上記焼結助剤としてのAl<sub>2</sub>O<sub>3</sub>の添加は、好ましくは、0.01~0.3重量%、より好ましくは0.01~0.15重量%がよい。特に、絶縁抵抗の加速寿命の良好な積層型セラミックチップコンデンサが低温焼成により得られるからである。

【0029】また、Ni酸化物、Mg酸化物、Co酸化物、Hf酸化物等が0.5重量%程度以下含有されてもよい。

【0030】なお、上記以外の元素の酸化物および上記範囲外の添加量では本発明の効果は実現しない。

【0031】誘電体層3の積層数や厚み等の諸条件は、目的や用途に応じ適宜決定すればよい。

【0032】また、誘電体層3のグレインの平均粒子径は、1~5μm程度であることが好ましい。

【0033】そして、本発明では、誘電体層3を構成するグレイン以外の部分である粒界相の面積比が、誘電体層3の任意の断面にて、2%以下、好ましくは0.5~1.0%程度であることが好ましい。

【0034】前記範囲をこえると寿命が短くなり、信頼性が低下する傾向にある。

【0035】また、あまり小さいものは誘電体層3の形成が困難であり、誘電体の緻密化が不十分となる傾向にある。

【0036】なお、粒界相の面積比の測定には、走査型電子顕微鏡を用いて写真を撮り、これから求めればよい。

【0037】この粒界相は、通常誘電体材料あるいは内部電極材料を構成する材質の酸化物や、別途添加された材質の酸化物、さらには工程中に不純物として混入する材質の酸化物を成分とし、通常ガラスないしガラス質で形成されている。

【0038】外部電極41、45には、通常CuやCu合金あるいはNiやNi合金等を用いる。

【0039】なお、AgやAg-Pd合金等もちろん使用可能である。

【0040】外部電極41、45の厚みは任意であり、目的や用途に応じ適宜決定すればよいが、通常10~50μm程度である。

【0041】そして、このような積層型チップコンデンサ1の形状やサイズは、目的や用途に応じ適宜決定すればよい。例えば直方体状の場合は、通常1.6~3.2mm×0.8~1.6mm×0.6~1.2mm程度である。

【0042】本発明の積層型セラミックチップコンデンサは下記のとおり製造される。

【0043】まず、誘電体層3用ペースト、内部電極21、25用ペーストおよび外部電極41、45用ペーストをそれぞれ製造する。

【0044】誘電体層3用のペーストを製造する際に用いる誘電体の原料粉末としては、通常、前述した誘電体酸化物の組成に応じ、Ti、Ba、Sr、Ca、Zr、Mn、Y、V、W等の単一ないし複合酸化物および焼結助剤としてのAl<sub>2</sub>O<sub>3</sub>とを用いればよい。

【0045】またこれらは焼成により酸化物になる化合物、例えば炭酸塩、硫酸塩、硝酸塩、シュウ酸塩、有機金属化合物等を用いてもよい。

【0046】さらには、酸化物と、焼成により酸化物になる化合物とを併用してもよい。

【0047】これらの原料粉末は、通常、平均粒子径0.0005~5μm程度のもので用いられる。

【0048】このような原料粉末から誘電体材料を得るには例えば下記のようにすればよい。

【0049】まず出発原料を所定の量比に配合し、例えば、ボールミル等により湿式混合する。

【0050】次いで、スプレードライヤー等により乾燥させ、その後仮焼し、上記式の誘電体酸化物を得る。

【0051】なお、仮焼は、通常800~1300℃にて、2~10時間程度、空気中にて行う。

【0052】次いで、ジェットミルあるいはボールミル等にて所定粒径となるまで粉碎し、誘電体材料を得る。

【0053】焼結助剤としてのAl<sub>2</sub>O<sub>3</sub>は、得られた誘電体材料に混合される。この他、Al<sub>2</sub>O<sub>3</sub>を上記出発原料と混合して用いてもよく、出発原料と混合して仮焼し、更に仮焼粉末と混合してもよい。

【0054】誘電体層3用のペーストを調整する際に用いられる結合剤、可塑剤、分散剤、溶剤等の添加剤は種々のものであってよい。また、ガラスフリットを添加してもよい。

【0055】結合剤としては、例えばエチルセルロース、アビエチン酸レジン、ポリビニール・ブチラールなど、可塑剤としては、例えばアビエチン酸誘導体、ジエチル蔞酸、ポリエチレングリコール、ポリアルキレングリコール、フタル酸エステル、フタル酸ジブチルなど、分散剤としては、例えばグリセリン、オクタデシルアミン、トリクロロ酢酸、オレイン酸、オクタジエン、オレイン酸エチル、モノオレイン酸グリセリン、トリオレイン酸グリセリン、トリステアリン酸グリセリン、メンセーデン油など、溶剤としては、例えばトルエン、テルピネオール、ブチルカルビトール、メチルエチルケトンなどが挙げられる。

【0056】このペーストを調整する際の誘電体材料の全体に対する割合は50~80重量%程度とし、その他、結合剤は2~5重量%、可塑剤は0.01~5重量%、分散剤は0.01~5重量%、溶剤は20~50重量%程度とする。

【0057】そして、前記誘電体材料とこれらを混合し、例えば3本ロール等で混練してペースト（スラリー）とする。

【0058】内部電極21、25用のペーストを製造する際に用いる導体材料としては、NiやNi合金さらにはこれらの混合物を用いる。

【0059】このような導体材料は、球状、リン片状等、その形状に特に制限はなく、またこれらの形状のものが混合したものであってもよい。

【0060】また、平均粒子径は0.1～10 $\mu\text{m}$ 、さらには0.1～1 $\mu\text{m}$ 程度のもを用いればよい。

【0061】有機質ビヒクルは、バインダーおよび溶剤を含有するものである。

【0062】バインダーとしては、例えばエチルセルロース、アクリル樹脂、ブチラル樹脂等公知のものはいずれも使用可能である。

【0063】バインダー含有量は1～5重量%程度とする。

【0064】溶剤としては、例えばテルピネオール、ブチルカルビトール、ケロシン等公知のものはいずれも使用可能である。

【0065】溶剤含有量は20～55重量%程度とする。

【0066】その他、総計10重量%程度以下の範囲で、必要に応じ、ソルビタン脂肪酸エステル、グリセリン脂肪酸エステル等の分散剤や、ジオクチルフタレート、ジブチルフタレート、ブチルフタリルグリコール酸ブチル等の可塑剤や、デラミ防止、焼結抑制等の目的で、誘電体、絶縁体等の各種セラミック粉体等を添加することもできる。

【0067】また、有機金属レジネートを添加することも有効である。

【0068】外部電極41、45用のペーストは、上記の導体材料粉末を含有する通常のペーストを用いればよい。

【0069】このようにして得られた内部電極21、25用ペーストと、誘電体3用ペーストは、印刷法、転写法、グリーンシート法等により、それぞれ交互に積層される。

【0070】次に、所定の積層体サイズに切断した後、脱バインダ処理および焼成を行う。そして、誘電体層3を再酸化させるため、熱処理を行う。

【0071】脱バインダ処理は、通常の条件で行えばよいが、特に下記の条件で行うことが好ましい。

【0072】昇温速度：5～300℃/時間、特に10～50℃/時間

保持温度：200～400℃、特に250～350℃

保持時間：0.5～5時間、特に1～3時間

雰囲気：AIR

【0073】焼成は、酸素分圧10<sup>-7</sup> atm以下、特に1

0<sup>-7</sup>～10<sup>-13</sup> atmにて行うことが好ましい。

【0074】前記範囲を超えると、内部電極21、25が酸化する傾向にあり、またあまり小さすぎると、電極材料が異常焼結を起こし、とぎれてしまう傾向にある。

【0075】そして、そのほかの焼成条件は、下記の条件が好ましい。

【0076】昇温速度：50～500℃/時間、特に200～300℃/時間

保持温度：1200～1400℃、特に1250～1350℃

保持時間：0.5～8時間、特に1～3時間

冷却速度：50～500℃/時間、特に200～300℃/時間

【0077】雰囲気用ガスには、加湿したN<sub>2</sub>とH<sub>2</sub>の混合ガス等を用いることが好適である。

【0078】熱処理は、保持温度ないし最高温度を1250～1350℃として行うことが好ましい。

【0079】前記範囲未満では誘電体材料の酸化が不十分のために寿命が短くなる傾向にあり、前記範囲をこえると内部電極のNiが酸化し、容量が低下するだけでなく、誘電体素地と反応してしまい、寿命も短くなる傾向にある。

【0080】熱処理の際の酸素分圧は、10<sup>-8</sup> atm以上、より好ましくは10<sup>-4</sup>～10<sup>-7</sup> atmが好ましい。

【0081】前記範囲未満では、誘電体層3や酸化物層4の再酸化が困難であり、前記範囲をこえると内部電極21、25が酸化する傾向にある。

【0082】そして、そのほかの熱処理条件は下記の条件が好ましい。

【0083】保持時間：0～6時間、特に2～5時間

冷却速度：50～500℃/時間

特に100～300℃/時間

【0084】雰囲気用ガスには、加湿したN<sub>2</sub>ガス等を用いることが好適である。

【0085】なお、N<sub>2</sub>ガスや混合ガス等を加湿するには、例えばウェッター等を使用すればよい。この場合、水温は0～75℃程度が好ましい。

【0086】また、脱バインダ処理、焼成および熱処理は、それぞれを連続して行っても、独立に行ってもよい。

【0087】このようにして得られた焼結体には、例えばバレル研磨、サンドブラスト等にて端面研磨を施し、外部電極用ペーストを焼きつけて外部電極41、45を形成する。

【0088】そして、必要に応じ、外部電極41、45上のめっき等によりパッド層を形成する。

【0089】

【実施例】以下、本発明の具体的実施例を挙げ、本発明をさらに詳細に説明する。出発原料として、液相合成に

より生成されたBaTiO<sub>3</sub> およびBaZrO<sub>3</sub> を用いた。なお、BaTiO<sub>3</sub> およびBaZrO<sub>3</sub> の平均粒径は、0.5 μm、最大粒径は1.5 μmであった。母材組成は下記の式で示されるものとした。

【0090】Ba<sub>1.005</sub>(Ti<sub>0.91</sub>Zr<sub>0.19</sub>)O<sub>3</sub>  
 上記の母材の組成に対して、MnCO<sub>3</sub> 0.20重量%、Y<sub>2</sub>O<sub>3</sub> 0.30重量%、V<sub>2</sub>O<sub>5</sub> 0.04重量%、およびWO<sub>3</sub> 0.05重量%と、Al<sub>2</sub>O<sub>3</sub> であ\*

\*る添加物（添加物全体の平均粒径1.0 μm、最大粒径3.3）を表1に示す変量にて添加して4種の実施例と、2種の比較例を得、これらを各々ボールミルで16時間湿式粉碎し、チタン酸バリウム系の誘電体材料を得た。また、焼結助剤のAl<sub>2</sub>O<sub>3</sub> の代わりにSiO<sub>2</sub> を用い、比較例3を得た。

【0091】

【表1】

	Al <sub>2</sub> O <sub>3</sub> (wt%)	焼成温度 (℃)	IR寿命 (h)	ε <sub>s</sub> (25℃)	強度σ <sub>b3</sub> (kgf/mm <sup>2</sup> )	備考
実施例1	0.05	1260	123.7	9200	10.3	
		1300	102.0	11000	13.8	
		1340	88.9	12500	15.7	
実施例2	0.10	1260	114.8	10200	12.8	
		1300	95.0	12700	14.2	
		1340	54.6	14300	15.0	
実施例3	0.20	1260	88.8	9100	13.5	
		1300	77.3	11600	13.2	
		1340	33.0	14400	13.8	
実施例4	0.40	1260	62.3	7200	13.2	
		1300	27.8	10100	11.6	
		1340	9.1	16000	12.7	
比較例1	0	1260	77.6	5000	6.9	
		1300	170.0	9700	12.8	
		1340	137.0	11800	13.3	
比較例2	0.80	1260	0.2	3100	11.3	異常粒成長
		1300	0.1	6700	7.3	
		1340	0	20900	8.5	
比較例3	SiO <sub>2</sub> (0.1wt%)	1260	26.7	9900	10.5	
		1300	21.8	11400	11.7	
		1340	12.7	12800	12.8	

【0092】これらの誘電体材料の各々を用いて、下記に示される配合比にて、アルミナ製ボールを用いてボールミル混合し、スラリー化して誘電体層用ペーストとした。

【0093】

誘電体材料 : 100重量部  
 アクリル系樹脂 : 5.0重量部  
 フタル酸ベンジルブチル : 2.5重量部  
 ミネラルスピリット : 6.5重量部  
 アセトン : 4.0重量部

トリクロロエタン : 20.5重量部

塩化メチレン : 41.5重量部

【0094】次に下記に示される配合比にて、3本ロールにより混練し、スラリー化して内部電極用ペーストとした。

【0095】

Ni : 44.6重量部

テルピネオール : 52重量部

エチルセルロース : 3重量部

50 ベンゾトリアゾール : 0.4重量部

【0096】これらのペーストを用い、以下のようにして図1に示される積層型セラミックチップコンデンサ1を製造した。

【0097】まず、誘電体層用ペーストを用いてキャリアフィルム上に20 $\mu\text{m}$ 厚のシートをひき、この上に内部電極用ペーストを用いて、電極を印刷した。この後、キャリアフィルムから上記のシートを剥離し、複数枚積層し、加圧接着した。

【0098】なお、誘電体層3の積層数は4層である。

【0099】次いで所定サイズに切断した後、脱バインダ処理、焼成および熱処理を連続して下記の条件にて行った。

【0100】脱バインダ処理

昇温速度：20℃/時間

保持温度：300℃

保持時間：2時間

雰囲気用ガス：air

【0101】焼成

昇温速度：200℃/時間

保持温度：表1に示す温度に設定した

保持時間：2時間

冷却速度：300℃/時間

雰囲気用ガス：加湿したN<sub>2</sub>とH<sub>2</sub>の混合ガス

酸素分圧：1.0<sup>-8</sup> atm

【0102】熱処理

保持温度：1000℃

保持時間：3時間

冷却速度：300℃/時間

雰囲気用ガス：加湿したN<sub>2</sub>ガス

酸素分圧：1.0<sup>-7</sup> atm

【0103】なお、それぞれの雰囲気用ガスの加湿には、ウェッターを用い、水温5～75℃にて行った。

【0104】得られた焼結体の端面をサンドブラストにて研磨した後、In-Ga合金を塗布して、試験用電極を形成した。

【0105】このようにして製造した積層型セラミックチップコンデンサ1のサイズは、3.2mm×1.6mm×0.6mmであり、誘電体層3の厚みは15 $\mu\text{m}$ 、内部電

極21、25の厚みは2.5 $\mu\text{m}$ である。

【0106】次にこれらのコンデンサに対し、温度200℃、電圧DC150Vにての加速寿命試験（IR寿命-h）、 $\epsilon_s$ （25℃）、機械的強度 $\sigma_w$ （kgf/mm<sup>2</sup>）を求めたところ、下記の表1に示す結果を得た。なお、機械的強度は、3点曲げ強さ試験方法（JIS R1601）により評価した。

【0107】

【表1】

【0108】表1から分かるように、本発明の積層型セラミックチップコンデンサは、焼結助剤としてAl<sub>2</sub>O<sub>3</sub>を用いたことにより、1260℃という低温で焼成しても、上記機械的強度 $\sigma_w$ が10.3kgf/mm<sup>2</sup>以上となった。焼結助剤を添加していない場合の機械的強度 $\sigma_w$ が6.9kgf/mm<sup>2</sup>であることから、低温での焼結性が向上していることが分かる。また、IR寿命に関しても、焼結助剤を0.1重量%添加した場合について比較してみると、Al<sub>2</sub>O<sub>3</sub>を用いると、最低でも54.6時間であるのに対し、SiO<sub>2</sub>を用いると、最高でも26.7時間であった。これらのことより、焼結助剤としてAl<sub>2</sub>O<sub>3</sub>を添加することにより、IR寿命を低下させることなしに、低温での焼成が可能となったことが分かる。

【0109】なお、焼結助剤としてAl<sub>2</sub>O<sub>3</sub>を添加する場合には、その添加量を特に0.1重量%以下とすると、IR寿命の向上の傾向が得られることが上記表1から分かる。

【0110】更に、Al<sub>2</sub>O<sub>3</sub>を0.10重量%と固定量とし、他の副成分たるMn、Y、V、W等を図2に示したように変量とし、焼成における保持温度を1300℃、保持時間を2時間とした以外は上記と同様にして、積層型セラミックチップコンデンサの実施例5乃至16、および比較例4乃至11を作成し、温度200℃、電圧DC150Vにての加速寿命試験（IR寿命-h）、 $\epsilon_s$ （25℃）、機械的強度 $\sigma_w$ （kgf/mm<sup>2</sup>）を求めたところ、下記の表2に示す結果を得た。

【0111】

【表2】



	13					14			
	MnO (wt%)	Y <sub>2</sub> O <sub>3</sub> (wt%)	V <sub>2</sub> O <sub>5</sub> (wt%)	WO <sub>3</sub> (wt%)	Al <sub>2</sub> O <sub>3</sub> (wt%)	その他 (wt%)	IR寿命 (h)	ε <sub>s</sub> (25℃)	強度σ <sub>bs</sub> (kgf/mm <sup>2</sup> )
実施例5	0.2	0.1	0.04	0.05	0.10		56.6	15300	15.4
実施例6	0.2	0.2	0.04	0.05	0.10		78.6	14200	14.7
実施例7	0.2	0.3	0.04	0.05	0.10		95.0	12700	14.2
実施例8	0.2	0.4	0.04	0.05	0.10		86.6	10150	13.2
実施例9	0.1	0.3	0.04	0.05	0.10		87.3	12900	13.5
実施例10	0.3	0.3	0.04	0.05	0.10		102.1	11800	14.9
実施例11	0.2	0.3	0.04	0.05	0.10	MoO <sub>3</sub> 0.05	74.7	13800	13.8
実施例12	0.2	0.3	0.01	0.05	0.10		57.9	13500	14.3
実施例13	0.2	0.3	0.1	0.05	0.10		97.5	10800	13.4
実施例14	0.2	0.3	0.2	0.05	0.10		54.7	8700	12.9
実施例15	0.2	0.3	0.04	0.01	0.10		66.9	12500	14.0
実施例16	0.2	0.3	0.04	0.1	0.10		90.4	11900	14.3
比較例4	0.2	0	0	0	0.10		0.04	18300	15.5
比較例5	0.2	0.3	0	0	0.10		15.2	15000	14.5
比較例6	0.2	0	0.04	0.05	0.10		0.26	16900	15.3
比較例7	0	0.3	0.04	0.05	0.10		0.01	3500	7.1
比較例8	1.0	0.3	0.04	0.05	0.10		20.8	6700	11.2
比較例9	0.2	0.3	0.75	0.05	0.10		10.0	5300	12.1
比較例10	0.2	0.8	0.04	0.05	0.10		13.3	6400	11.6
比較例11	0.2	1.0	1.0	1.0	0.10		4.1	4300	10.5

【0112】上記表2から分かるように、実施例においては、IR寿命が最低でも54.7時間であったものが、比較例では、最高でも20.8時間と短く、本発明の効果が確認される。なお、各実施例サンプルの誘電体層を研磨面の微細構造を透過型走査型電子顕微鏡で分析したところ、誘電体層はグレインと粒界相で構成され、いずれも誘電体層の断面での粒界相の面積比が2%以下であった。また、上記粒界相は、Mn、Y、VおよびWの酸化物を含有していた。

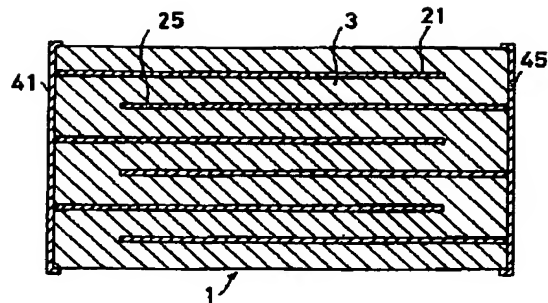
【図面の簡単な説明】

【図1】本発明の積層型セラミックチップコンデンサの1例が示される断面図である。

【符号の説明】

- 1 積層型セラミックチップコンデンサ
- 21、25 内部電極
- 3 誘電体層
- 41、45 外部電極

【図1】



## 【手続補正書】

【提出日】平成6年5月2日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

## \* 【補正内容】

【0078】熱処理は、保持温度ないし最高温度を800～1200℃、より好ましくは900～1100℃として行うことが好ましい。

\*

フロントページの続き

(51) Int. Cl.<sup>5</sup>

H01B 3/12

識別記号

326

庁内整理番号

9059-5G

F I

技術表示箇所

(72)発明者 野村 武史

東京都中央区日本橋一丁目13番1号 ティ

ーディーケイ株式会社内

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is the laminating mold ceramic chip capacitor which has an internal electrode and a dielectric layer, and the dielectric oxide of the presentation expressed with the following type is used as a principal component. As an accessory constituent The compound which turns into an oxide by the oxide of Mn, and/or baking by oxide (MnO) conversion 0.01 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of Y, and/or baking by oxide (Y<sub>2</sub>O<sub>3</sub>) conversion 0.05 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of V, and/or baking by oxide (V<sub>2</sub>O<sub>5</sub>) conversion 0.005 - 0.3 % of the weight, It is aluminum 2O<sub>3</sub> as 0.005 - 0.3 % of the weight, and sintering acid by oxide (WO<sub>3</sub>) conversion about the compound which turns into an oxide by the oxide of W, and/or baking. Dielectric materials contained 0.005 to 0.5% of the weight, The laminating mold ceramic chip capacitor which carries out the laminating of the internal electrode ingredient of nickel or nickel alloy, and is characterized by carrying out coincidence baking.

Formula It is  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ , and  $1.000 \leq m \leq 1.020$  among the [(Ba<sub>1-x-y</sub>Cax Sry) O] m O(Ti<sub>1-z</sub> Zrz)<sub>2</sub> {above-mentioned type.

[Claim 2] aluminum 2O<sub>3</sub> Laminating mold ceramic chip capacitor of claim 1 whose content is 0.01 - 0.30 or less % of the weight.

[Claim 3] The laminating mold ceramic chip capacitor of claim 1 which added the compound which turns into an oxide further by at least one sort of oxides of Eu and Mo, and/or baking 0.3 or less % of the weight by oxide conversion to dielectric materials.

[Claim 4] Said dielectric layer is claim 1 whose surface ratio of the grain boundary phase in the cross section of said dielectric layer it consists of a grain and a grain boundary phase, and is 2% or less thru/or one laminating mold ceramic chip capacitor of 3.

[Claim 5] The laminating mold ceramic chip capacitor of claim 4 said whose grain boundary phase is an oxide phase containing the oxide of Mn, Y, V, and W.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is the thing especially about amelioration of a dielectric layer of a laminating mold ceramic chip capacitor.

[0002]

[Description of the Prior Art] A laminating mold ceramic chip capacitor carries out the laminating of the paste for internal electrodes, and the paste for dielectric layers by the sheet method, print processes, etc., really carries out coincidence baking, and is usually manufactured.

[0003] Although Pd and Pd alloy are generally used for the internal electrode, since Pd is expensive, comparatively cheap nickel and nickel alloy are being used.

[0004] By the way, when forming an internal electrode with nickel or nickel alloy, if it calcinates in atmospheric air, an electrode will oxidize.

[0005] For this reason, generally after the debinder is calcinating by oxygen tension lower than the balanced oxygen tension of nickel and NiO.

[0006] In this case, in order to attain eburnation of dielectric materials, it is usually SiO<sub>2</sub> as sintering acid. It is added.

[0007] Moreover, in order to prevent the fall of the insulation resistance by reduction of a dielectric layer etc., addition, calcium permutation, etc. of Mn are performed.

[0008] However, compared with the laminating mold chip capacitor which has the internal electrode made from Pd calcinated and manufactured in atmospheric air, the laminating mold chip capacitor which has an internal electrode made from nickel or nickel alloy had the overwhelmingly short life of insulation resistance, and had the problem of being unreliable.

[0009] However, this problem contains the dielectric oxide which has a certain specific presentation proposed by this invention person. The dielectric materials which carried out the amount addition of specification of the one or more sorts chosen from the compound which turns into an oxide by the oxide of Y, Gd, Tb, Dy, Zr, V, Mo, Zn, Cd, Tl, Sn, and P, and/or baking, It was mostly solvable with the laminating mold ceramic chip capacitor which carried out the laminating of the internal electrode material of nickel or nickel alloy, and calcinated it (JP,3-133116,A).

[0010] That is, when adding Y etc. in this way, it turned out that a life increases by about 2 to 10 times compared with the conventional additive-free chip capacitor, and the dependability which was excellent to some extent is acquired.

[0011] The artificers of this invention advance further and set to a laminating mold ceramic chip capacitor. Compared with the thing of addition, such as Above Y, a life is raised further, dependability is acquired further, and, moreover, it is 10 micrometers by this high-reliability-ization. In order to make the following lamination possible, It is the laminating mold ceramic chip capacitor which has "internal electrode and a dielectric layer in previous application (Japanese Patent Application No. No. 101788 [ four to ])). The compound which contains the dielectric oxide of the presentation expressed with the following type, and turns into an oxide by the oxide and/or \*\*\*\*\* of Mn by oxide (MnO) conversion 0.01 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of Y, and/or baking by oxide (Y<sub>2</sub> O<sub>3</sub>) conversion 0.05 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of V, and/or baking by oxide (V<sub>2</sub> O<sub>5</sub>) conversion 0.005 - 0.3 % of the weight, The laminating mold ceramic chip capacitor characterized by carrying

out the laminating of the dielectric materials which added the compound which turns into an oxide by the oxide of W, and/or baking 0.005 to 0.3% of the weight by oxide (WO<sub>3</sub>) conversion, and the internal electrode ingredient of nickel or nickel alloy, and calcinating them.

[0012] formula the inside of the  $[(Ba_{1-x-y}Ca_xSr_y)O]_mO(Ti_{1-z}Zr_z)_2$  {above-mentioned type, and  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ , and  $0.1 \leq z \leq 0.3$  and  $1.000 \leq m \leq 1.020$ . " -- it proposed.

[0013] In a laminating mold ceramic chip capacitor equipped with the dielectric layer of the above presentations, there is a problem that eburation is not carried out at less than 1400 degrees C, and it is SiO<sub>2</sub> as sintering acid conventionally there. It used and low-temperature baking of the above-mentioned porcelain constituent was enabled.

[0014]

[Problem(s) to be Solved by the Invention] However, it is SiO<sub>2</sub> as sintering acid like before. When it used, there was a problem that accelerated aging of insulation resistance was comparatively short.

[0015] Then, low-temperature baking is possible and this invention aims at offering the laminating mold ceramic chip capacitor whose accelerated aging of insulation resistance moreover improved.

[0016]

[Means for Solving the Problem]

It is the laminating mold ceramic chip capacitor which has an internal electrode and a dielectric layer, and the dielectric oxide of the presentation expressed with the following type is used as a principal component. (1) As an accessory constituent The compound which turns into an oxide by the oxide of Mn, and/or baking by oxide (MnO) conversion 0.01 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of Y, and/or baking by oxide (Y<sub>2</sub>O<sub>3</sub>) conversion 0.05 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of V, and/or baking by oxide (V<sub>2</sub>O<sub>5</sub>) conversion 0.005 - 0.3 % of the weight, It is aluminum 2O<sub>3</sub> as 0.005 - 0.3 % of the weight, and sintering acid by oxide (WO<sub>3</sub>) conversion about the compound which turns into an oxide by the oxide of W, and/or baking. Dielectric materials contained 0.005 to 0.5% of the weight, The laminating mold ceramic chip capacitor which carries out the laminating of the internal electrode ingredient of nickel or nickel alloy, and is characterized by carrying out coincidence baking.

Formula It is  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ , and  $1.000 \leq m \leq 1.020$  among the  $[(Ba_{1-x-y}Ca_xSr_y)O]_mO(Ti_{1-z}Zr_z)_2$  {above-mentioned type.

(2) aluminum 2O<sub>3</sub> Laminating mold ceramic chip capacitor of the above (1) whose content is 0.01 - 0.30 or less % of the weight.

(3) The laminating mold ceramic chip capacitor of the above (1) which added the compound which turns into an oxide further by at least one sort of oxides of Eu and Mo, and/or baking 0.3 or less % of the weight by oxide conversion to dielectric materials.

(4) Said dielectric layer is the above (1) whose surface ratio of the grain boundary phase in the cross section of said dielectric layer it consists of a grain and a grain boundary phase, and is 2% or less thru/or one laminating mold ceramic chip capacitor of (3).

(5) The laminating mold ceramic chip capacitor of the above (4) said whose grain boundary phase is an oxide phase containing the oxide of Mn, Y, V, and W.

[0017]

[Function and Effect of the Invention] It is aluminum 2O<sub>3</sub> as sintering acid of the laminating mold ceramic chip capacitor which has the dielectric layer of the above-mentioned presentation in this invention. While being able to calcinate at 1250 degrees C - 1350 degrees C low temperature by having used, accelerated aging of insulation resistance also improved more than 30 hour (200 degrees C, DC150V).

[0018]

[Elements of the Invention] Hereafter, the concrete configuration of this invention is explained to a detail. The suitable example of the laminating mold ceramic chip capacitor of this invention is shown in drawing 1.

[0019] The laminating of internal electrodes 21 and 25 and the dielectric layer 3 is carried out by turns, and the laminating mold chip capacitor 1 has one pair of external electrodes 41 and 45 linked to each internal electrodes 21 and 25.

[0020] nickel which internal electrodes 21 and 25 are formed from nickel or nickel alloy, and

contains nickel 95% of the weight or more as a nickel alloy in this case in this invention, and Mn, Cr, Co and aluminum etc. -- it is desirable that they are one or more sorts of alloys.

[0021] These can acquire a sufficient life and dependability according to this invention.

[0022] In addition, in nickel or nickel alloy, 0.1 or less % of the weight of P etc. may contain as a minor constituent.

[0023] Although terms and conditions, such as thickness of internal electrodes 21 and 25, should just be suitably determined according to the purpose or an application, thickness is usually 1-5 micrometers. It is 2-3 micrometers especially. It is extent.

[0024] The dielectric layer 3 consists of a grain and a grain boundary phase.

[0025] The quality of the material of a dielectric layer 3 contains the dielectric oxide of the presentation expressed with the following type. Under the present circumstances, the amount of O may be deflected from the stoichiometric composition of the following type a little.

[0026] formula  $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)O_2$  -- this case -- x -- zero to 0.25 -- desirable -- 0.05 to 0.10, and y -- zero to 0.05 -- desirable -- zero to 0.01, and z -- 0.1 to 0.3 -- desirable -- 0.15 to 0.20, and m -- 1.000-1.020 -- it is 1.002-1.015 preferably.

[0027] Further the compound which turns into an oxide by the oxide of manganese, and/or baking in this invention by oxide MnO conversion as an accessory constituent 0.01 - 0.5 % of the weight, More preferably 0.1 to 0.4% of the weight 0.2 - 0.4 % of the weight, It is the compound which turns into an oxide by the oxide of an yttrium, and/or baking Oxide  $Y_2O_3$  By conversion, 0.05 - 0.5 % of the weight, More preferably 0.08 to 0.45% of the weight 0.2 - 0.4 % of the weight, It is the compound which turns into an oxide by the oxide of vanadium, and/or baking Oxide  $V_2O_5$  By conversion, 0.005 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of a tungsten, and/or baking preferably by oxide  $WO_3$  conversion 0.01 to 0.1% of the weight 0.005 - 0.3 % of the weight, It is aluminum  $2O_3$  as sintering acid further about 0.01 to 0.1% of the weight more preferably 0.01 to 0.2% of the weight. It contains 0.005 to 0.5% of the weight.

[0028] aluminum  $2O_3$  as the above-mentioned sintering acid 0.01 - 0.15 % of the weight of addition is more preferably good 0.01 to 0.3% of the weight preferably. It is because the good laminating mold ceramic chip capacitor of accelerated aging of insulation resistance is especially obtained by low-temperature baking.

[0029] Moreover, nickel oxide, Mg oxide, Co oxide, Hf oxide, etc. may contain about 0.5 or less % of the weight.

[0030] In addition, effectiveness of this invention is not realized in the oxide of elements other than the above, and the addition outside the above-mentioned range.

[0031] What is necessary is just to determine suitably terms and conditions, such as the number of laminatings of a dielectric layer 3, and thickness, according to the purpose or an application.

[0032] Moreover, the mean particle diameter of the grain of a dielectric layer 3 is 1-5 micrometers. It is desirable that it is extent.

[0033] And it is desirable that the surface ratio of the grain boundary phase which are parts other than the grain which constitutes a dielectric layer 3 from this invention is about 0.5 - 1.0% preferably 2% or less in the cross section of the arbitration of a dielectric layer 3.

[0034] If said range is surpassed, a life will become short, and it is in the inclination for dependability to fall.

[0035] Moreover, formation of a dielectric layer 3 is difficult for a not much small thing, and is in the inclination which becomes inadequate [ the eburnation of a dielectric ].

[0036] In addition, what is necessary is to take a photograph for measurement of the surface ratio of a grain boundary phase using a scanning electron microscope, and just to ask it after this.

[0037] This grain boundary phase uses as a component the oxide of the quality of the material which usually constitutes dielectric materials or an internal electrode ingredient, the oxide of the quality of the material added separately, and the oxide of the quality of the material mixed as an impurity still in process, and is usually formed by glass thru/or glassiness.

[0038] Cu, Cu alloy, nickel, nickel alloy, etc. are usually used for the external electrodes 41 and 45.

[0039] In addition, of course, Ag, an Ag-Pd alloy, etc. are usable.

[0040] The thickness of the external electrodes 41 and 45 is usually 10-50 micrometers, although what is necessary is to be arbitrary and just to determine suitably according to the purpose or an

application. It is extent.

[0041] And what is necessary is just to determine suitably such a configuration and size of the laminating mold chip capacitor 1 according to the purpose or an application. For example, in the case of-like [ rectangular parallelepiped ], it is usually about 1.6-3.2mmx0.8-1.6mmx0.6-1.2mm.

[0042] The laminating mold ceramic chip capacitor of this invention is manufactured as follows.

[0043] First, the paste for dielectric layers 3, an internal electrode 21, the paste for 25 and the external electrode 41, and the paste for 45 are manufactured, respectively.

[0044] As raw material powder of the dielectric used in case the paste for dielectric layer 3 is manufactured, it usually responds to the presentation of the dielectric oxide mentioned above, and is aluminum 2O<sub>3</sub> as a single thru/or a multiple oxide, and sintering acid, such as Ti, Ba, Sr, calcium, Zr, Mn, Y, V, and W. What is necessary is just to use.

[0045] Moreover, these may use the compound which turns into an oxide by baking, for example, a carbonate, a sulfate, a nitrate, an oxalate, an organometallic compound, etc.

[0046] Furthermore, an oxide and the compound which turns into an oxide by baking may be used together.

[0047] These raw material powder is usually the mean particle diameter of 0.0005-5 micrometers. The thing of extent is used.

[0048] What is necessary is just to perform it as follows, for example, for obtaining dielectric materials from such raw material powder.

[0049] A start raw material is first blended with a predetermined quantitative ratio, for example, wet blending is carried out with a ball mill etc.

[0050] Subsequently, it is made to dry with a spray dryer etc., temporary quenching is carried out after that, and the dielectric oxide of the above-mentioned formula is obtained.

[0051] In addition, temporary quenching is usually performed in air at 800-1300 degrees C for about 2 to 10 hours.

[0052] Subsequently, it grinds until a jet mill or a ball mill makes predetermined particle size, and dielectric materials are obtained.

[0053] aluminum 2O<sub>3</sub> as sintering acid The obtained dielectric materials are mixed. In addition, aluminum 2O<sub>3</sub> It may mix with the above-mentioned start raw material, and you may use, and it may mix with a start raw material, temporary quenching may be carried out, and you may mix with temporary-quenching powder further.

[0054] Additives, such as a binder used in case the paste for dielectric layer 3 is adjusted, a plasticizer, a dispersant, and a solvent, may be various things. Moreover, a glass frit may be added.

[0055] As a binder, for example as a plasticizer, ethyl cellulose, abietic-acid resin, poly vinyl butyral, etc. for example, as a dispersant, an abietic-acid derivative, diethyl oxalic acid, a polyethylene glycol, a polyalkylene glycol, FUTARU acid ester, FUTARU acid dibutyl, etc. For example, a glycerol, an octadecyl amine, a trichloroacetic acid, oleic acid, As solvents, such as OKUTA diene, ethyl oleate, a mono-oleic acid glycerol, a triolein acid glycerol, glyceryl tristearate, and a MENSEDEN oil, toluene, a terpeneol, butyl carbitol, a methyl ethyl ketone, etc. are mentioned, for example.

[0056] Making [ in addition ] into about 50 - 80 % of the weight the whole dielectric materials at the time of adjusting this paste rate of, a binder is 2 - 5 % of the weight, and a plasticizer is 0.01 - 5 % of the weight, A dispersant is made and a solvent is made into about 20 - 50 % of the weight 0.01 to 5% of the weight.

[0057] And said dielectric materials and these are mixed, for example, it kneads with 3 rolls etc., and considers as a paste (slurry).

[0058] Such mixture is used for nickel or nickel alloy pan as a conductor material used in case an internal electrode 21 and the paste for 25 are manufactured.

[0059] Especially a limit does not have such a conductor material in the configurations, such as the shape of a globular shape and a piece of Lynn, and the thing of these configurations may mix it.

[0060] Moreover, mean particle diameter is 0.1-10 micrometers. Further 0.1-1 micrometer What is necessary is just to use the thing of extent.

[0061] An organic vehicle contains a binder and a solvent.

[0062] As a binder, each well-known thing, such as ethyl cellulose, acrylic resin, and butyral resin, is

usable, for example.

[0063] A binder content is made into about 1 - 5 % of the weight.

[0064] As a solvent, each well-known thing, such as a terpeneol, butyl carbitol, and kerosine, is usable, for example.

[0065] A solvent content is made into about 20 - 55 % of the weight.

[0066] In addition, various ceramic powder, such as a dielectric and an insulator, etc. can also be added if needed for the purpose, such as plasticizers, such as dispersants, such as a sorbitan fatty acid ester and a glycerine fatty acid ester, and dioctyl phthalate, dibutyl phthalate, butyl phthalyl glycolic acid butyl, and DERAMI prevention, sintering control, in about a total of 10 or less % of the weight of the range.

[0067] Moreover, it is also effective to add organic metal resinate.

[0068] The external electrode 41 and the paste for 45 should just use the usual paste containing the above-mentioned conductor-material powder.

[0069] Thus, the laminating of the internal electrode 21 and the paste for 25 which were obtained, and the paste for dielectrics 3 is carried out by turns by print processes, the replica method, the green sheet method, etc., respectively.

[0070] Next, after cutting in predetermined layered product size, debinder processing and baking are performed. And in order to make a dielectric layer 3 reoxidate, it heat-treats.

[0071] Although what is necessary is just to perform debinder processing on condition that usual, it is desirable to carry out on condition that the following especially.

[0072] programming-rate: -- 5-300 degrees C/hour -- especially -- 10-50 degree-C/hour retention temperature:200-400 degree C -- especially -- 250-350-degree-C holding-time:0.5 - 5 hours -- especially -- 1 - 3-hour ambient atmosphere: -- AIR [0073] Baking is oxygen tension 10-7atm. It is desirable hereafter to carry out in 10-7-10-13atm especially.

[0074] It is in the inclination for internal electrodes 21 and 25 to oxidize if said range is exceeded, and when too not much small, an electrode material is in a lifting and the disrupted inclination about abnormality sintering.

[0075] And the following conditions of other baking conditions are desirable.

[0076] programming-rate: -- 50-500 degrees C/hour -- especially -- 200-300 degree-C/hour retention temperature:1200-1400 degree C -- especially -- 1250-1350-degree-C holding-time:0.5 - 8 hours -- especially -- a 1-3 hour cooling rate:50-500 degree-C/hour -- especially -- 200-300 degrees C

[0077]/hour N2 humidified in the gas for ambient atmospheres H2 It is suitable to use mixed gas etc.

[0078] As for heat treatment, it is desirable to perform retention temperature thru/or a maximum temperature as 1250-1350 degrees C.

[0079] Since said under range of oxidation of dielectric materials is inadequate, if it is in the inclination for a life to become short and said range is surpassed, nickel of an internal electrode will oxidize, and it reacts with a dielectric base and capacity not only falls, but is in the inclination for a life to also become short.

[0080] The oxygen tension in the case of heat treatment is 10-8atm. It is 10-4-10-7atm more preferably above. It is desirable.

[0081] Under in said range, when reoxidation of a dielectric layer 3 or an oxide layer 4 is difficult and surpasses said range, it is in the inclination for internal electrodes 21 and 25 to oxidize.

[0082] And the following conditions of other heat treatment conditions are desirable.

[0083] holding-time: -- 0 - 6 hours -- especially -- a 2-5 hour cooling rate:50-500 degree-C/hour -- especially -- 100-300 degrees C [0084]/hour N2 humidified in the gas for ambient atmospheres It is suitable to use gas etc.

[0085] In addition, N2 What is necessary is just to use WETTA etc., in order to humidify gas, mixed gas, etc. In this case, about 0-75 degrees C of water temperature are desirable.

[0086] Moreover, debinder processing, baking, and heat treatment may perform each continuously, or may be performed independently.

[0087] Thus, end-face polish is given to the obtained sintered compact with barrel finishing, sandblasting, etc., the paste for external electrodes can be burned on it, and the external electrodes 41 and 45 are formed.



[0088] And a pad layer is formed with the plating on the external electrode 41 and 45 etc. if needed.  
[0089]

[Example] Hereafter, the concrete example of this invention is given and this invention is further explained to a detail. BaTiO<sub>3</sub> generated by liquid phase composition as a start raw material And BaZrO<sub>3</sub> It used. in addition, BaTiO<sub>3</sub> And BaZrO<sub>3</sub> mean particle diameter -- 0.5 micrometers a maximum grain size -- 1.5 micrometers it was . A base material presentation shall be shown by the following formula.

[0090] As opposed to the presentation of the base material of the Ba<sub>1.005</sub>O(Ti<sub>0.81</sub>Zr<sub>0.19</sub>)<sub>3</sub> above MnCO<sub>3</sub> 0.20 % of the weight, Y<sub>2</sub>O<sub>3</sub> 0.30 % of the weight, V<sub>2</sub>O<sub>5</sub> 0.04 % of the weight, and WO<sub>3</sub> 0.05 % of the weight, aluminum 2O<sub>3</sub> it is -- it added in the variate which shows an additive (the mean particle diameter of 1.0 micrometers of the whole additive, and maximum grain size 3.3) in Table 1, and four sorts of examples and two sorts of examples of a comparison were acquired, wet grinding of these was carried out with the each ball mill for 16 hours, and the dielectric materials of a barium titanate system were obtained. Moreover, aluminum 2O<sub>3</sub> of sintering acid It is SiO<sub>2</sub> to instead of. It used and the example 3 of a comparison was acquired.

[0091]

[Table 1]

	Al <sub>2</sub> O <sub>3</sub> (wt%)	焼成温度 (°C)	IR寿命 (h)	ε <sub>s</sub> (25°C)	強度 σ <sub>b3</sub> (kgf/mm <sup>2</sup> )	備考
実施例1	0.05	1260	123.7	9200	10.3	
		1300	102.0	11000	13.8	
		1340	88.9	12500	15.7	
実施例2	0.10	1260	114.8	10200	12.8	
		1300	95.0	12700	14.2	
		1340	54.6	14300	15.0	
実施例3	0.20	1260	88.8	9100	13.5	
		1300	77.3	11600	13.2	
		1340	33.0	14400	13.8	
実施例4	0.40	1260	62.3	7200	13.2	
		1300	27.8	10100	11.6	
		1340	9.1	16000	12.7	
比較例1	0	1260	77.6	5000	6.9	
		1300	170.0	9700	12.8	
		1340	137.0	11800	13.3	
比較例2	0.80	1260	0.2	3100	11.3	異常粒成長
		1300	0.1	6700	7.3	
		1340	0	20900	8.5	
比較例3	SiO <sub>2</sub> (0.1wt%)	1260	26.7	9900	10.5	
		1300	21.8	11400	11.7	
		1340	12.7	12800	12.8	

[0092] Using each of these dielectric materials, with the compounding ratio shown below, ball mill mixing was carried out using the ball made from an alumina, and it slurred and considered as the

paste for dielectric layers.

[0093]

Dielectric materials : 100 weight sections acrylic resin : 5.0 weight sections benzyl butyl phthalate : 2.5 weight sections mineral spirit : 6.5 weight sections acetone : 4.0 weight sections trichloroethane : 20.5 weight sections methylene chloride : The 41.5 weight sections [0094] Next, with the compounding ratio shown below, it kneaded with 3 rolls, and it slurred and considered as the paste for internal electrodes.

[0095]

nickel : 44.6 weight sections terpeneol : 52 weight sections ethyl cellulose : Three weight section benzotriazol: The 0.4 weight sections [0096] The laminating mold ceramic chip capacitor 1 shown in drawing 1 as is the following was manufactured using these pastes.

[0097] First, the paste for dielectric layers is used and it is 20 micrometers on a carrier film. The sheet of thickness was pulled, the paste for internal electrodes was used on this, and the electrode was printed. Then, from the carrier film, it exfoliated, two or more sheet laminating of the above-mentioned sheet was carried out, and pressurization adhesion was carried out.

[0098] In addition, the number of laminatings of a dielectric layer 3 is four layers.

[0099] Subsequently, after cutting in predetermined size, debinder processing, baking, and heat treatment were continuously performed on condition that the following.

[0100] debinder processing programming-rate: -- 20-degree-C [ / ] hour retention temperature: -- 300-degree-C holding-time: -- gas for 2-hour ambient atmospheres: -- air [0101] baking programming-rate: -- 200-degree-C [ / ] hour retention temperature: -- holding-time: 2 hour cooling rate: set as the temperature shown in Table 1 -- gas for 300-degree-C [ / ] hour ambient atmospheres: -- N2 humidified H2 mixed-gas oxygen tension: -- 10<sup>-8</sup> -- atm [0102] heat treatment retention temperature: -- 1000-degree-C holding-time: -- 3-hour cooling rate: -- gas for 300-degree-C [ / ] hour ambient atmospheres: -- N2 humidified gas oxygen tension: -- 10<sup>-7</sup> -- atm [0103] In addition, it carried out to humidification of each gas for ambient atmospheres at the water temperature of 5-75 degrees C using WETTA.

[0104] After grinding the end face of the obtained sintered compact with sandblasting, the In-Ga alloy was applied and the electrode for a trial was formed.

[0105] thus, the size of the manufactured laminating mold ceramic chip capacitor 1 -- 3.2mmx1.6mmx0.6mm -- it is -- the thickness of a dielectric layer 3 -- 15 micrometers the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is .

[0106] Next, when asked for the temperature of 200 degrees C, the accelerated life test (IR life - h) of electrical-potential-difference DC150V, epsilons (25 degrees C), and a mechanical strength  $\sigma_{b3}$  (kgf/mm<sup>2</sup>) from these capacitors, the result shown in the following table 1 was obtained. In addition, the three-point bending strength test method (JIS R1601) estimated the mechanical strength.

[0107]

[Table 1]

[0108] As shown in Table 1, the laminating mold ceramic chip capacitor of this invention is aluminum 2O<sub>3</sub> as sintering acid. Even if it calcinates at the low temperature of 1260 degrees C by having used, the above-mentioned mechanical strength  $\sigma_{b3}$  is 2 10.3 kgf(s)/mm. It became the above. the mechanical strength  $\sigma_{b3}$  when having not added sintering acid -- 6.9kgf/mm<sup>2</sup> it is -- things show that the degree of sintering in low temperature is improving. Moreover, when sintering acid is compared about the case where it adds 0.1% of the weight, also about IR life, it is aluminum 2O<sub>3</sub>. When it uses, it is SiO<sub>2</sub> to being 54.6 hours also at the lowest. The highest was also 26.7 hours when used. From these things, it is aluminum 2O<sub>3</sub> as sintering acid. It turns out that baking at low temperature was attained, without reducing IR life by adding.

[0109] In addition, it is aluminum 2O<sub>3</sub> as sintering acid. Especially in adding, when it makes the addition into 0.1 or less % of the weight, the above-mentioned table 1 shows that the inclination of improvement in IR life is acquired.

[0110] Furthermore, aluminum 2O<sub>3</sub> It is made to be the same as that of the above except having considered as 0.10 % of the weight and the amount of immobilization, having made other accessory constituent slack Mn, Y, V, and W etc. into the variate, as shown in drawing 2, having made

retention temperature in baking into 1300 degrees C, and having made the holding time into 2 hours. The example 5 of a laminating mold ceramic chip capacitor thru/or 16 and the example 4 of a comparison thru/or 11 are created. When asked for the temperature of 200 degrees C, the accelerated life test (IR life - h) of electrical-potential-difference DC150V, epsilons (25 degrees C), and a mechanical strength  $\sigma_{bs}$  (kgf/mm<sup>2</sup>), the result shown in the following table 2 was obtained.

[0111]

[Table 2]

	MnO (wt%)	Y <sub>2</sub> O <sub>3</sub> (wt%)	V <sub>2</sub> O <sub>5</sub> (wt%)	WO <sub>3</sub> (wt%)	Al <sub>2</sub> O <sub>3</sub> (wt%)	その他 (wt%)	IR寿命 (h)	$\epsilon_s$ (25°C)	強度 $\sigma_{bs}$ (kgf/mm <sup>2</sup> )
実施例5	0.2	0.1	0.04	0.05	0.10		56.6	15300	15.4
実施例6	0.2	0.2	0.04	0.05	0.10		78.6	14200	14.7
実施例7	0.2	0.3	0.04	0.05	0.10		95.0	12700	14.2
実施例8	0.2	0.4	0.04	0.05	0.10		86.6	10150	13.2
実施例9	0.1	0.3	0.04	0.05	0.10		87.3	12900	13.5
実施例10	0.3	0.3	0.04	0.05	0.10		102.1	11800	14.9
実施例11	0.2	0.3	0.04	0.05	0.10	MoO <sub>3</sub> 0.05	74.7	13800	13.8
実施例12	0.2	0.3	0.01	0.05	0.10		57.9	13500	14.3
実施例13	0.2	0.3	0.1	0.05	0.10		97.5	10800	13.4
実施例14	0.2	0.3	0.2	0.05	0.10		54.7	8700	12.9
実施例15	0.2	0.3	0.04	0.01	0.10		66.9	12500	14.0
実施例16	0.2	0.3	0.04	0.1	0.10		90.4	11900	14.3
比較例4	0.2	0	0	0	0.10		0.04	18300	15.5
比較例5	0.2	0.3	0	0	0.10		15.2	15000	14.5
比較例6	0.2	0	0.04	0.05	0.10		0.26	16900	15.3
比較例7	0	0.3	0.04	0.05	0.10		0.01	3500	7.1
比較例8	1.0	0.3	0.04	0.05	0.10		20.8	6700	11.2
比較例9	0.2	0.3	0.75	0.05	0.10		10.0	5300	12.1
比較例10	0.2	0.8	0.04	0.05	0.10		13.3	6400	11.6
比較例11	0.2	1.0	1.0	1.0	0.10		4.1	4300	10.5

[0112] As shown in the above-mentioned table 2, in an example, that whose IR life was 54.7 hours also at the lowest is as the shortest as 20.8 hours in the example of a comparison, and the effectiveness of this invention is checked. In addition, when the transparency mold scanning electron microscope analyzed the fine structure of a polished surface for the dielectric layer of each example sample, the dielectric layer consisted of a grain and a grain boundary phase, and the surface ratio of all of the grain boundary phase in the cross section of a dielectric layer was 2% or less. Moreover, the above-mentioned grain boundary phase contained the oxide of Mn, Y, V, and W.

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

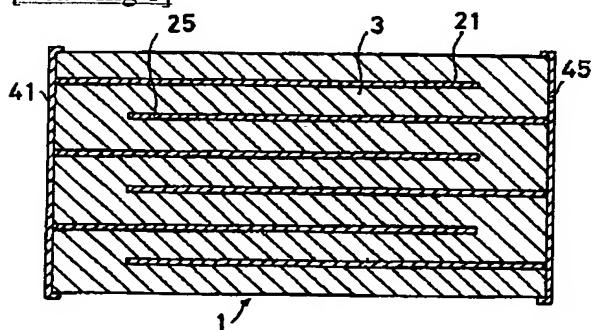
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DRAWINGS

---

[Drawing 1]



---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

WRITTEN AMENDMENT

---

----- [a procedure revision]

[Filing Date] May 2, Heisei 6

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] 0078

[Method of Amendment] Modification

[Proposed Amendment]

[0078] As for heat treatment, it is desirable to perform more preferably retention temperature thru/or 800-1200 degrees C of maximum temperatures as 900-1100 degrees C.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**